

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0046

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: SERIAL BUS CONTROLLER USING NONVOLATILE
FERROELECTRIC MEMORY

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0004827 filed January 24, 2003

Respectfully submitted,

Date: 12/9/03
HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By Johnny A. Kumar
Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0004827
Application Number

출 원 년 월 일 : 2003년 01월 24일
Date of Application JAN 24, 2003

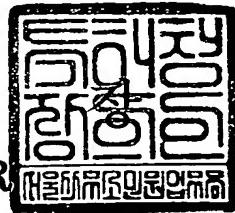
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.24
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치
【발명의 영문명칭】	Device for controlling serial bus using non-volatile ferroelectric memory
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

1020030004827

출력 일자: 2003/10/13

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	34	면	34,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	21	항	781,000	원
【합계】			844,000	원
【첨부서류】			1.	요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치에 관한 것으로, 특히, 불휘발성 강유전체 레지스터를 사용한 메모리 컨트롤러 구조를 구현하여, 직렬 버스를 통한 데이터 교환시 어드레스별로 액세스 시간을 상이하게 제어하도록 하는 기술을 개시한다. 이를 위해 본 발명은, 불휘발성 강유전체 레지스터를 이용하여 어드레스별로 액세스 레이턴시를 프로그램하고, 직렬 버스를 통한 마스터와 FRAM칩 간의 데이터 교환시 프로그램된 액세스 레이턴시에 따라 어드레스 액세스 시간을 상이하게 제어함으로써 시스템 퍼포먼스(Performance)를 향상시킬 수 있도록 한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치{Device for controlling serial bus using non-volatile ferroelectric memory}

【도면의 간단한 설명】

도 1은 일반적인 강유전체의 히스테리시스 특성도.

도 2는 종래의 불휘발성 강유전체 메모리의 셀 소자 구성도.

도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드 동작 타이밍도.

도 3b는 종래의 불휘발성 강유전체 메모리의 읽기 모드 동작 타이밍도.

도 4는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 구성도.

도 5는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 상세 구성도.

도 6은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 엑세스 시간을 설명하기 위한 도면.

도 7은 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 다른 실시예.

도 8은 도 7의 상세 구성도.

도 9는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 또 다른 실시예.

도 10은 도 9의 상세 구성도.

도 11은 본 발명의 메모리 컨트롤러에 관한 상세 구성도.

도 12는 본 발명의 로우 엑세스시 데이터 전송 프로토콜을 설명하기 위한 도면.

도 13은 본 발명의 컬럼 엑세스시 데이터 전송 프로토콜을 설명하기 위한 도면.

도 14는 본 발명에 따른 메모리 컨트롤러의 리드시 동작 타이밍도.

도 15는 본 발명에 따른 메모리 컨트롤러의 라이트시 동작 타이밍도.

도 16은 본 발명의 불휘발성 레이턴시 프로그램 레지스터에 관한 상세 구성도.

도 17은 도 16의 프로그램 명령 처리부의 상세 구성도.

도 18은 도 17의 플립플롭에 관한 상세 회로도.

도 19는 도 16의 불휘발성 레이턴시 프로그램 레지스터에 관한 동작 타이밍도.

도 20은 도 16의 프로그램 레지스터 제어부에 관한 상세 회로도.

도 21은 도 16의 프로그램 레지스터 어레이에 관한 상세 회로도.

도 22는 본 발명의 파워 업 모드시 동작 타이밍도.

도 23은 본 발명의 프로그램시 동작 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<25> 본 발명은 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치에 관한 것으로, 특히, 불휘발성 강유전체 레지스터를 사용한 메모리 컨트롤러 구조를 구현하여, 직렬 버스를 통한 데이터 교환시 어드레스별로 엑세스 시간을 상이하게 제어하도록 하는 기술을 개시한다.

- <26> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <27> 이러한 FRAM은 디램과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <28> 도 1은 일반적인 강유전체의 특성인 히스테리시스 루프(Hysteresis loop)를 나타낸다.
- <29> 히스테리시스 루프는 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류 분극(또는 자활 분극)의 존재로 인하여 소멸되지 않고 일정량(d,a상태)을 유지하고 있는 것을 알 수 있다.
불휘발성 강유전체 메모리 셀은 상기 d,a상태를 각각 1,0으로 대응시켜 기억소자로 응용한 것이다.
- <30> 도 2는 종래의 불휘발성 강유전체 메모리의 단위 셀 소자 구성을 나타낸다.
- <31> 불휘발성 강유전체 메모리의 단위 셀은, 일방향으로 비트라인 BL이 형성되고, 비트라인 BL과 교차하는 방향으로 워드라인 WL이 형성되고, 워드라인 WL에 일정한 간격을 두고 워드라인 WL과 동일한 방향으로 플레이트 라인 PL이 형성된다.
- <32> 그리고, 트랜ジ스터 T1는 게이트가 워드라인 WL에 연결되고, 소스는 비트라인 BL에 연결되며, 드레인은 강유전체 캐패시터 FC0의 일단과 연결된다. 또한, 강유전체 캐패시터 FC0의 다른 일단은 플레이트 라인 PL에 연결된다.
- <33> 이러한 구성을 갖는 종래의 불휘발성 강유전체 메모리의 데이터 입/출력 동작을 도 3a 및 도 3b를 참조하여 설명하면 다음과 같다.

- <34> 도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드(Write mode)시 동작타이밍도이다
- <35> 먼저, 쓰기 모드시 엑티브 구간에 진입하면 외부에서 인가되는 칩 인에이블 신호 CEB가 하이에서 로우로 활성화되고, 이와 동시에 쓰기 인에이블 신호가 하이에서 로우로 천이하면 쓰기 모드가 시작된다. 이어서, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인 WL에 인가되는 펄스가 로우에서 하이로 천이되어 셀이 선택된다.
- <36> 이와 같이, 워드라인 WL이 하이 상태를 유지하고 있는 구간에서 해당 플레이트 라인 PL에는 차례로 일정 구간의 하이 신호와 일정 구간의 로우 신호가 인가된다. 그리고, 선택된 셀에 로직값 1 또는 0을 쓰기 위해 해당 비트라인 BL에 쓰기 인에이블 신호에 동기되는 하이 또는 로우 신호를 인가한다. 이때, 센스앰프 인에이블 신호 SEN은 하이 상태를 유지한다.
- <37> 즉, 비트라인 BL에 하이 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 로우이면 강유전체 캐패시터 FCO에는 입력 데이터 DIN의 값이 로직 "1"로 기록된다. 그리고, 비트라인 BL에 로우 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 하이 신호이면 강유전체 캐패시터 FCO에는 입력 데이터 DIN의 값이 로직 "0"로 기록된다.
- <38> 또한, 도 3b는 읽기 모드(Read mode)시 동작 타이밍도를 나타낸다.
- <39> 읽기 모드시 엑티브 구간에 진입하게 되면 외부에서 칩 인에이블 신호 CEB를 하이에서 로우로 활성화시키고, 해당 워드라인 WL이 선택되기 이전에 모든 비트라인 BL은 이퀄라이즈(Equalize) 신호에 의해 로우 전압으로 등전위 된다.
- <40> 그리고, 각 비트라인 BL을 비활성화 시킨 다음 어드레스를 디코딩하면 디코딩된 어드레스에 의해 해당 워드라인 WL은 로우 신호가 하이 신호로 천이되어 해당 셀을 선택한다. 선택

된 셀의 플레이트 라인 PL에 하이 신호를 인가하여 강유전체 메모리에 저장된 로직값 1에 상응하는 데이터 Qs를 파괴시킨다.

<41> 만약, 강유전체 메모리에 로직값 0이 저장되어 있다면 그에 상응하는 데이터 Qns는 파괴되지 않는다. 이와 같이, 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 된다.

<42> 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않는 경우는 a에서 f로 변경되는 경우이다. 따라서, 일정시간이 경과한 후에 센스앰프 인에이블 신호 SEN에 의해 센스앰프가 인에이블 되면 데이터가 파괴된 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 "1"을 출력하고, 데이터가 파괴되지 않은 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 "0"을 출력한다.

<43> 이와 같이, 센스앰프에서 데이터를 증폭한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인 WL에 하이 신호를 인가한 상태에서 플레이트 라인 PL을 하이에서 로우로 비활성화시킨다.

<44> 이러한 종래의 불휘발성 강유전체 메모리에서 컬럼 어드레스는 페이지(Page) 어드레스로 써 데이터 액세스시 별도의 센싱 과정이 불필요하기 때문에, 센스앰프 페이지 버퍼에 저장된 데이터가 바로 출력된다.

<45> 그런데, 로우 어드레스는 데이터 액세스시 셀에 저장된 데이터를 센싱하고 증폭하는 과정과 센스앰프에서 데이터를 일정시간 유지하는 과정을 더 수행하게 된다. 또한, 로우 어드레스와 로우 어드레스간의 액세스시에는 로우 액세스 시간에 재저장 시간(프리차지 시간)이 추가되어 더 많은 액세스 시간이 필요하다.

<46> 따라서, 로오 어드레스는 컬럼 어드레스에 비해 상대적으로 데이터 액세스 시간이 더 많이 소요되는 문제점이 있다. 즉, 종래의 불휘발성 강유전체 메모리는 데이터의 액세스시 어드레스의 종류와 무관하게 액세스 시간을 비효율적으로 제어하게 되어 메모리 칩의 신뢰성을 저하시키게 되는 문제점이 있다.

<47> 따라서, 상술된 불휘발성 강유전체 메모리를 이용하여 직렬 버스와의 인터페이스를 제어함으로써 불필요한 데이터 액세스 시간을 줄이고, 전원의 오프시에도 저장된 프로그램 데이터를 보존할 수 있도록 하는 장치의 필요성이 커지게 되었다.

【발명이 이루고자 하는 기술적 과제】

<48> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 불휘발성 강유전체 레지스터를 사용한 메모리 컨트롤러 구조를 구현하고, 직렬 버스를 통한 데이터 교환시 어드레스 별로 액세스 시간을 상이하게 제어하여 시스템 퍼포먼스를 향상시킬 수 있도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

<49> 상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치는, 복수개의 셀 어레이 블럭으로부터 인가되는 데이터를 증폭 및 저장하는 센스앰프 버퍼부와; 복수개의 셀 어레이 블럭과 센스앰프 버퍼부 사이에서 상호 데이터를 교환하기 위한 데이터 버스부와; 데이터 버스부에 입/출력되는 데이터를 버퍼링하는 데이터 입/출력 버퍼부와; 데이터 입/출력 버퍼부로부터 인가되는 병렬 데이터와, 직렬 클럭신호에 대응하여 입력되는 직렬 데이터를 상호 변환하는 병렬/직렬 송수신 제어부; 및 라이트 보호 명령의 설정시 복수개

의 셀 어레이 블럭의 해당 섹터에 데이터가 라이트 되는 것을 차단하는 라이트 보호 제어부를 구비함을 특징으로 한다.

<50> 상기한 목적을 달성하기 위한 본 발명의 다른 실시예는, 직렬 클럭신호에 대응하여 직렬 데이터/어드레스를 직렬 버스로 출력하는 마스터; 직렬 버스를 통해 수신되는 직렬 클럭신호 및 직렬 데이터/어드레스에 따라 메모리의 리드/라이트 동작을 제어하는 FRAM칩; 및 마스터와 FRAM칩 사이에서 어드레스별 엑세스 레이턴시 시간을 제어하기 위한 코드를 프로그램하고, 프로그램된 코드에 따라 직렬 클럭신호의 응답 사이클을 제어하는 메모리 컨트롤러를 구비함을 특징으로 한다.

<51> 상기한 목적을 달성하기 위한 본 발명의 또 다른 실시예는, 어드레스별 엑세스 레이턴시 시간을 제어하기 위한 코드를 프로그램하고, 직렬 버스를 통해 수신되는 직렬 클럭신호에 따라 직렬 데이터/어드레스의 송수신시 상기 직렬 데이터/어드레스의 송수신 완료를 확인하는 응답 신호를 출력하는 메모리 컨트롤러; 및 응답신호의 펄스 구간동안 메모리의 리드/라이트 동작을 수행하는 FRAM칩을 구비하고, 메모리 컨트롤러는 로오 어드레스의 송수신시 응답신호의 펄스 구간을 제 1사이클로 제어하고, 컬럼 어드레스의 송수신시 응답신호의 펄스 구간을 상기 제 1 사이클 보다 짧은 제 2사이클로 제어함을 특징으로 한다.

<52> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<53> 도 4는 본 발명에 따른 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 구성도이다.

<54> 본 발명은 FRAM칩(100)과, 마스터(CPU;Central Processing Unit;200)를 구비한다.

- <55> 여기서, FRAM칩(100)은 복수개의 메모리 블럭(10)과, 데이터 버스부(20)와, 라이트 보호 제어부(30)와, 병렬/직렬 송수신 제어부(40)와, 센스앰프 버퍼부(50) 및 데이터 입/출력 버퍼부(60)를 구비한다. 각각의 메모리 블럭(10)은 MBL(Main Bitline) 풀업 제어부(11)와, 셀 어레이블럭(12) 및 C/S(Chip Selection) 제어부(13)를 구비한다.
- <56> 복수개의 메모리 블럭(10)은 데이터 버스부(20)를 공유하며, 데이터 버스부(20)는 센스 앰프 버퍼부(50)와 연결된다. 센스앰프 버퍼부(50)는 데이터 입/출력 버퍼부(60)와 연결된다. 데이터 입/출력 버퍼부(60)는 병렬/직렬 송수신 제어부(40) 및 라이트 보호 제어부(30)와 연결된다. 병렬/직렬 송수신 제어부(30)는 메모리 블럭(10)에 데이터가 라이트 되는 것을 방지하기 위한 라이트 보호 제어부(30)와 연결된다.
- <57> 병렬/직렬 송수신 제어부(40)는 SCL(Serial Clock) 및 SDA(Serial Data) 핀을 통해 직렬 버스에 연결되어, 마스터(200)로부터 직렬 클럭 신호 SCL 및 직렬 데이터/어드레스 SDA를 수신한다.
- <58> 도 5는 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 상세 구성도이다.
- <59> FRAM칩(100)은 어드레스 버퍼(1)와, 로오 선택부(2)와, 컬럼 선택부(3)를 구비한다. 로오 선택부(2)는 어드레스 버퍼(1)로부터 인가되는 로오 어스레스 중 해당 로오 어드레스를 선택하여 메모리 블럭(10)에 출력한다. 메모리 블럭(10)은 로오 선택부(2)로부터 인가되는 해당 로오 어드레스에 의해 하나의 로오가 활성화된다. 선택된 로오 어드레스는 센스앰프 버퍼부(50)에 출력되어 증폭 및 저장된다. 컬럼 선택부(3)는 어드레스 버퍼(1)로부터 인가되는 컬럼 어드레스 중 하나를 선택하여 센스앰프 버퍼부(50)에 출력한다.

- <60> 그리고, 센스앰프 버퍼부(50)는 선택된 컬럼 어드레스가 인가되는 공통 센스앰프 어레이부(51)와, 스위치 제어부(52)를 구비한다. 공통 센스앰프 어레이부(51)는 해당 컬럼 어드레스의 활성화시 저장된 데이터 중에서 바이트 폭 또는 워드 폭 등의 데이터들을 스위치 제어부(52)를 통해 데이터 입/출력 버퍼부(60)에 출력한다.
- <61> 또한, 병렬/직렬 송수신 제어부(40)는 카운터(41)와, 병렬/직렬 변환부(42)를 구비한다. 여기서, 카운터(41)는 버스트 모드로 연속적인 어드레스/데이터가 송수신될 때 해당 어드레스를 카운터 하여 자동으로 증가시킨다.
- <62> 병렬/직렬 변환부(42)는 마스터(200)로부터 수신되는 직렬 데이터를 병렬 데이터로 변환하여 라이트 보호 제어부(30) 및 데이터 입/출력 버퍼부(60)와 데이터를 송수신한다.
- <63> 한편, 라이트 보호 명령이 설정되면 라이트 보호 제어부(30)에 의해 셀 어레이 블럭(12)의 해당 섹터(Sector)에 데이터가 라이트되는 것이 차단되고, 리드 동작만 가능하게 된다.
- <64> 도 6은 본 발명에서 어드레스 종류에 따른 어드레스 엑세스 시간을 나타낸다.
- <65> 먼저, 컬럼 어드레스만을 엑세스 할 경우에는 센스앰프 버퍼부(50)에 저장된 데이터가 바로 출력될 수 있기 때문에 가장 짧은 컬럼 엑세스 시간이 소요된다.
- <66> 반면에, 로오 어드레스를 엑세스 할 경우에는 메모리 셀의 데이터를 센싱 및 증폭하는 동작이 수반되기 때문에 더 많은 시간(로오 엑세스 레이턴시 시간)이 소요된다.
- <67> 또한, 메모리 엑세스의 동작 사이클을 끝마치려면 메모리 셀 센싱 과정에서 손실되었던 셀 데이터를 라이트하여 복구해야만 한다. 이러한 시간을 프리차지(Precharge) 시간이라고도 하며, 셀 데이터를 재저장하기 위한 재저장 레이턴시 시간이 추가로 더 소요된다.

- <68> 이상과 같이 하나의 어드레스 액세스 사이클을 구성함에 있어서, 상기와 같이 경우 수에 의해 전체 액세스 시간이 결정된다.
- <69> 먼저, 처음 로오 어드레스를 액세스하기 위해서는 로오 액세스 시간이 필요하다. 그리고, 로오 어드레스는 동일하고 컬럼 어드레스만 바뀌는 경우, 컬럼 액세스 시간이 추가적으로 필요하다.
- <70> 또한, 하나의 로오 어드레스에 대응하는 모든 컬럼 어드레스가 액세스되어, 다음 로오 어드레스로 변경될 경우, 재저장 레이턴시 시간과 새로운 로오 액세스 시간이 필요하다. 따라서, 모든 어드레스에 대한 액세스를 수행하기 위하여 전체 액세스 사이클 시간이 필요하다.
- <71> 따라서, 본 발명은 상술된 어드레스의 종류를 감안하여 마스터(200)와 FRAM칩(100) 간의 직렬 데이터 인터페이스를 제어함으로써 시스템 퍼포먼스를 향상시킬 수 있도록 한다.
- <72> 도 7은 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 시스템 구성도이다.
- <73> 본 발명은 FRAM칩(100)과, 복수개의 슬레이브(110)와, 마스터(200) 및 메모리 컨트롤러(300)를 구비한다.
- <74> 메모리 컨트롤러(300)는 FRAM칩(100)과 마스터(200) 사이에서 직렬 클럭 신호 SCL 및 직렬 데이터/어드레스 SDA를 상호 교환하기 위하여 직렬 버스를 제어한다.
- <75> 도 8은 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 상세 구성도이다.
- <76> 메모리 컨트롤러(300)는 불휘발성 레이턴시 프로그램 레지스터(310)와, 레이턴시 제어부(320)를 구비한다.

- <77> 여기서, 불휘발성 레이턴시 프로그램 레지스터(310)는 불휘발성 강유전체 레지스터를 구비하여 로오/컬럼 어드레스를 설정한다. 그리고, 설정된 로오/컬럼 어드레스의 레이턴시 시간을 설정하기 위한 프로그램 데이터를 저장한다.
- <78> 또한, 레이턴시 제어부(320)는 불휘발성 프로그램 레지스터(310)에 저장된 레이턴시 프로그램 데이터와, 엑세스된 해당 어드레스를 비교하여 레이턴시 응답 제어신호를 발생한다.
- <79> 도 9는 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 다른 실시 예이다.
- <80> 본 발명은 FRAM칩(100)과, 복수개의 슬레이브(110)와, 마스터(200)와, 메모리 컨트롤러(300)와, PCI(Peripheral Component Interface)버스(420)와, 시스템 제어부(410) 및 CPU(400)를 구비한다.
- <81> 여기서, 메모리 컨트롤러(300)는 FRAM칩(100)과 마스터(200) 사이에서 직렬 클럭 신호 SCL 및 직렬 데이터/어드레스 SDA를 상호 교환하기 위하여 직렬 버스를 제어한다.
- <82> 또한, 메모리 컨트롤러(300)는 PCI버스(420)를 통해 CPU(Central Processing Unit)와 및 시스템 제어부(410)와 상호 연결된다. PCI버스(420)는 시스템 제어부(410)에 의해 제어된다.
- <83> 도 10은 본 발명의 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치의 상세 구성도이다.
- <84> 메모리 컨트롤러(300)는 불휘발성 레이턴시 프로그램 레지스터(310)와, 레이턴시 제어부(320)를 구비한다.

- <85> 여기서, 불휘발성 레이턴시 프로그램 레지스터(310)는 불휘발성 강유전체 레지스터를 구비하여 로오/컬럼 어드레스를 설정한다. 그리고, 설정된 로오/컬럼 어드레스의 레이턴시 시간을 설정하기 위한 프로그램 데이터를 저장한다.
- <86> 또한, 레이턴시 제어부(320)는 불휘발성 프로그램 레지스터(310)에 저장된 레이턴시 프로그램 데이터와, 엑세스된 해당 어드레스를 비교하여 레이턴시 응답 제어신호를 발생한다.
- <87> 메모리 컨트롤러(300)는 데이터 버스(421), 제어 버스(422)를 통해 시스템 제어부(410)와 상호 데이터/제어신호를 송수신한다. 또한, 메모리 컨트롤러(300)는 어드레스 버스(423)를 통해 시스템 제어부(410)로부터 로오/컬럼 어드레스를 수신한다.
- <88> 도 11은 본 발명에 따른 메모리 컨트롤러(300)의 상세 구성도이다.
- <89> 먼저, 불휘발성 레이턴시 프로그램 레지스터(310)는 컬럼 프로그램 레지스터(311)와, 로오 프로그램 레지스터(312) 및 채저장 프로그램 레지스터(313)를 구비한다.
- <90> 또한, 레이턴시 제어부(320)는 컬럼 카운터(321)와, 로오 카운터(322)와, 컬럼 제어부(323)와, 로오 제어부(324)와, 채저장 제어부(325) 및 SCL제어부(326)를 구비한다.
- <91> 여기서, 컬럼 카운터(321)는 시스템 제어부(410)로부터 수신되는 컬럼 어드레스를 카운트한다. 로오 카운터(322)는 시스템 제어부(410)로부터 수신되는 로오 어드레스를 카운트한다.
- <92> 컬럼 제어부(323)는 컬럼 카운터(321)를 통해 수신되는 컬럼 어드레스와 컬럼 프로그램 레지스터(311)를 통해 수신되는 컬럼 어드레스를 비교하여 레이턴시 시간을 제어한다. 로오 제어부(324)는 로오 카운터(322)를 통해 수신되는 로오 어드레스와 로오 프로그램 레지스터(312)를 통해 수신되는 로오 어드레스를 비교하여 레이턴시 시간을 제어한다. 채저장 제어부

(325)는 채저장 프로그램 레지스터(313)로부터 수신되는 채저장 데이터를 수신하여 레이턴시 시간을 제어한다.

<93> SCL제어부(326)는 컬럼 제어부(323)와, 로오 제어부(324)와, 채저장 제어부(325)로부터 수신되는 제어신호에 따라 직렬 버스에 직렬 클럭 신호 SCL를 출력한다.

<94> 도 12 및 도 13은 본 발명에 따른 메모리 컨트롤러(300)에서 어드레스의 엑세스시 직렬 데이터 전송 프로토콜을 설명하기 위한 도면이다.

<95> 먼저, 마스터(200)로부터 직렬 버스를 통해 직렬 클럭 신호 SCL이 전송된다. 그리고, 직렬 데이터/어드레스 SDA에 따라 n개의 직렬 데이터 비트들이 메모리 컨트롤러(300)에 수신된다. 메모리 컨트롤러(300)는 데이터 비트들의 전송시 데이터 송수신 완료를 확인하는 응답신호 ACK를 FRAM칩(100)에 전송한다.

<96> 이때, 도 12에서와 같이, 메모리 컨트롤러(300)에 수신된 어드레스가 로오 어드레스이면 확장된 응답 사이클을 갖는 응답신호 ACK를 FRAM칩(100)에 전송한다.

<97> FRAM칩(100)은 메모리 컨트롤러(300)의 제어에 따라 n개의 직렬 데이터 비트들을 수신한다. 그리고, 병렬/직렬 송수신 제어부(40)는 수신된 n개의 직렬 데이터 비트들을 병렬 데이터로 변환하여 바이트 폭 또는 워드 폭 단위로 셀 어레이 블럭(12)에 리드/라이트 동작을 수행하게 된다.

<98> 여기서, FRAM칩(100)은 메모리 컨트롤러(300)로부터 수신되는 직렬 클럭신호 SCL의 확장된 응답 사이클 구간 동안 리드/라이트 동작을 수행하게 된다. 즉, 상대적으로 긴 엑세스 시간을 갖는 로오 어드레스의 엑세스시 또는 채저장 구간에서는 확장된 응답 사이클 구간을 적용하여 리드/라이트 동작을 수행한다.

- <99> 반면에, 도 13에서와 같이, 메모리 컨트롤러(300)에 수신된 어드레스가 컬럼 어드레스이면 짧은 응답 사이클을 갖는 응답신호 ACK를 FRAM칩(100)에 전송한다.
- <100> FRAM칩(100)은 메모리 컨트롤러(300)의 제어에 따라 n개의 직렬 데이터 비트들을 수신한다. 그리고, 병렬/직렬 송수신 제어부(40)는 수신된 n개의 직렬 데이터 비트들을 병렬 데이터로 변환하여 바이트 폭 또는 워드 폭 단위로 셀 어레이 블럭(12)에 리드/라이트 동작을 수행하게 된다.
- <101> 여기서, FRAM칩(100)은 메모리 컨트롤러(300)로부터 수신되는 직렬 클럭신호 SCL의 짧은 응답 사이클 구간 동안 리드/라이트 동작을 수행하게 된다. 즉, 상대적으로 짧은 엑세스 시간을 갖는 컬럼 어드레스의 엑세스시에는 짧은 응답 사이클 구간을 적용하여 리드/라이트 동작을 수행한다.
- <102> 도 14는 본 발명에 따른 FRAM칩(100)의 리드시 동작 타이밍도를 나타낸다.
- <103> 먼저, 응답 사이클이 시작되는 t1 구간에서 직렬 클럭 신호 SCL이 인에이블 되면, 일정 시간 이후에 t2구간에서 워드라인 WL 및 플레이트 라인 PL이 인에이블되고, 비트라인 BL의 전하가 분배된다.
- <104> 이후에, t3구간에서 센스앰프 인에이블 신호 SEN에 따라 센스앰프가 인에이블 되면, 일정시간 이후에, 센스앰프 버퍼부(50)에 데이터가 출력된다. 그리고, 센스앰프 버퍼부(50)로부터 바이트 폭 및 워드 폭 단위의 데이터가 병렬/직렬 변환부(42)에 출력된다.
- <105> 다음에, t4구간에서 응답 사이클 구간이 완료되고, t5구간동안 메모리 셀의 센싱 및 증폭 동작이 완료된다. 이후에, 어드레스/데이터 구간인 t6구간에서는 센스앰프 버퍼부(50)에 하나의 로우 데이터가 저장된다.

- <106> 이후에, t6구간에서는 직렬 클럭 신호 SCL의 하이 펄스 구간동안 병렬/직렬 변환부(42)에 저장된 직렬 데이터/어드레스 SDA가 한 비트씩 직렬 버스에 출력된다.
- <107> 이때, 메모리 컨트롤러(300)에서 제어되는 응답신호 ACK의 사이클에 따라 FRAM칩(100)에서 데이터를 리드하는 시간이 결정된다.
- <108> 도 15는 본 발명에 따른 FRAM칩(100)의 라이트시 동작 타이밍도를 나타낸다.
- <109> 먼저, t0의 구간동안 직렬 클럭신호 SCL가 인에이블 되면, 직렬 버스를 통해 병렬/직렬 변환부(42)에 라이트할 데이터가 한 비트씩 전송된다.
- <110> 이후에, t2의 응답 사이클 구간이 시작되면 직렬 클럭신호 SCL가 인에이블 된다. 그리고, t3구간에서 워드라인 WL, 플레이트 라인 PL이 인에이블 되고, T4구간에서 센스앰프 인에이블 신호 SEN가 인에이블 되면 비트라인 BL의 전하가 분배된다.
- <111> 다음에, t4~t6구간동안 병렬/직렬 변환부(42)의 데이터가 센스앰프 버퍼부(50)에 출력된다. 그리고, 센스앰프 버퍼부(50)의 데이터가 비트라인 BL을 통해 셀 어레이 블럭(12)에 라이트 된다.
- <112> 이때, 메모리 컨트롤러(300)에서 제어되는 응답신호 ACK의 사이클에 따라 FRAM칩(100)에서 데이터를 라이트하는 시간이 결정된다.
- <113> 한편, 도 16은 본 발명의 실시예들에서 불휘발성 레이턴시 프로그램 레지스터(310)에 관한 상세 구성도이다.
- <114> 불휘발성 레이턴시 프로그램 레지스터(310)는 프로그램 명령 처리부(330)와, 프로그램 레지스터 제어부(340)와, 리셋 회로부(350) 및 프로그램 레지스터 어레이(360)를 구비한다.

- <115> 여기서, 프로그램 명령 처리부(330)는 라이트 인에이블 신호 WEB와, 칩 인에이블 신호 CEB와, 출력 인에이블 신호 OEB 및 리셋신호 RESET에 따라 프로그램 명령을 코딩하여 명령신호 CMD를 출력한다.
- <116> 프로그램 레지스터 제어부(340)는 명령신호 CMD, 파워 업 겸출신호 PUP 및 입력 데이터 DQ_n를 논리조합하여 라이트 제어신호 ENW 및 셀 플레이트 신호 CPL를 출력한다.
- <117> 프로그램 레지스터 어레이(360)는 풀업 인에이블 신호 ENP, 풀다운 인에이블 신호 ENN, 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL에 따라 제어신호 RE_m, REB_m를 출력한다.
- <118> 리셋 회로부(350)는 파워 업시 레지스터를 초기화시키기 위한 리셋 신호 RESET를 프로그램 레지스터 제어부(170)에 출력한다.
- <119> 이러한 구성을 갖는 본 발명은, 프로그램 명령 처리부(330)에서 명령 신호 CMD가 발생하면, 프로그램 레지스터 제어부(340)는 프로그램 레지스터 어레이(360)의 컨피그(Configure) 데이터를 바꾸거나 설정하게 된다.
- <120> 한편, 리셋 회로부(350)는 파워 업시에 리셋 신호 RESET를 발생하여 프로그램 레지스터 제어부(340)를 활성화시킨다. 이때, 프로그램 레지스터 제어부(340)에서 출력된 제어신호들은 프로그램 레지스터 어레이(360)의 불휘발성 데이터를 초기화 설정하기 위한 레지스터 동작 신호들이다.
- <121> 도 17은 도 16의 프로그램 명령 처리부(330)에 관한 상세 회로도이다.
- <122> 프로그램 명령 처리부(330)는 논리부(331)와, 플립플롭부(332) 및 오버 토글(Over toggle) 감지부(333)를 구비한다.

<123> 여기서, 논리부(331)는 노아게이트 NOR1과, 앤드게이트 AD1,AD2 및 인버터 IV1를 구비한다. 노아게이트 NOR1은 라이트 인에이블 신호 WEB와 칩 인에이블 신호 CEB를 노아 연산한다. 앤드게이트 AD1은 노아게이트 NOR1의 출력신호와 출력 인에이블 신호 OEB를 앤드연산한다. 앤드게이트 AD2는 노아게이트 NOR1의 출력신호와, 인버터 IV1에 의해 반전된 리셋신호 RESET 및 오버 토글 감지부(333)의 출력신호를 앤드연산한다.

<124> 그리고, 플립플롭부(332)는 복수개의 플립플롭 FF을 구비한다. 복수개의 플립플롭 FF은 노아게이트 NOR1의 출력신호가 입력되는 데이터 입력 노드 d와 출력 노드 q가 서로 직렬로 연결되어 출력단을 통해 명령 신호 CMD를 출력한다. 플립플롭 FF은 앤드게이트 AD1로부터의 활성화 동기 신호가 입력되는 노드 cp와, 앤드게이트 AD2로부터의 리셋신호가 입력되는 리셋노드 R를 구비한다.

<125> 여기서, 플립플롭 FF의 노드 cp에는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB 가 로우인 상태에서 출력 인에이블 신호 OEB가 입력된다. 그리고, 플립플롭 FF의 리셋노드 R 는 칩 인에이블 신호 CEB 및 라이트 인에이블 신호 WEB 중 어느 하나가 하이가 되면 로우 신호 가 입력되어 리셋된다. 또한, 파워 업시에 리셋 신호 RESET가 하이인 구간에서 플립플롭 FF이 리셋된다.

<126> 또한, 오버 토글 감지부(333)는 명령신호 CMD와 출력 인에이블 신호 OEB를 낸드연산하는 낸드게이트 ND1를 구비한다. 오버 토글 감지부(333)는 출력 인에이블 신호 OEB가 n번의 토글 횟수를 초과하여 오버 토글이 발생할 경우 플립플롭부(332)를 리셋시킨다.

<127> 따라서, 각각의 프로그램 명령 처리부(330)의 토글 횟수는 서로 다른 값이 되도록 설정 한다.

- <128> 도 18은 도 17의 플립플롭 FF에 관한 상세 회로도이다.
- <129> 플립플롭 FF은 전송게이트 T1~T4와, 낸드게이트 ND2, ND3와, 인버터 IV2~IV7을 구비한다. 여기서, 인버터 IV2는 노드 cp의 출력을 반전하여 제어신호 A를 출력하고, 인버터 IV3은 인버터 IV2의 출력신호를 반전하여 제어신호 B를 출력한다.
- <130> 전송게이트 T1은 제어신호 A, B의 상태에 따라 인버터 IV4에 의해 반전된 입력노드 d의 출력신호를 선택적으로 출력한다. 낸드게이트 ND2은 인버터 IV5의 출력신호와 리셋노드 R의 출력신호를 낸드연산하여 전송게이트 T2에 출력한다.
- <131> 전송게이트 T2는 제어신호 A, B의 상태에 따라 낸드게이트 ND2의 출력신호를 선택적으로 출력한다.
- <132> 전송게이트 T3은 제어신호 A, B의 상태에 따라 인버터 IV5의 출력신호를 선택적으로 출력한다. 낸드게이트 ND3는 전송게이트 T3의 출력신호와 리셋노드 R의 출력신호를 낸드연산한다. 인버터 IV6은 낸드게이트 ND3의 출력신호를 반전하여 전송게이트 T4에 출력한다.
- <133> 전송게이트 T4는 제어신호 A, B의 상태에 따라 인버터 IV6의 출력신호를 선택적으로 출력한다. 인버터 IV7은 낸드게이트 ND3의 출력신호를 반전하여 출력노드 q에 출력한다.
- <134> 따라서, 입력노드 d로부터 입력되는 데이터는 노드 cp를 통해 입력되는 제어신호가 한번 토글될때마다 오른쪽으로 이동하게 된다. 이때, 리셋노드 R에 로우 신호가 입력될 경우 출력노드 q에는 로우 신호가 출력되어 플립플롭 FF이 리셋 상태가 된다.
- <135> 도 19는 프로그램 명령 처리부(330)의 동작 과정을 설명하기 위한 도면이다.

- <136> 먼저, 명령 처리 구간에서는 칩인에이블 신호 CEB, 라이트 인에이블 신호 WEB가 로우 상태를 유지한다. 그리고, 출력 인에이블 신호 OEB가 n번 토글할 동안에는 명령 신호 CMD가 디스에이블 상태를 유지한다.
- <137> 이후에, 프로그래머블 활성화 구간에 진입하여 출력 인에이블 신호 OEB가 n번 토글하게 되면 명령신호 CMD가 하이로 인에이블 된다.
- <138> 여기서, 출력 인에이블 신호 OEB의 토글 갯수를 조정할 경우에는 직렬 연결된 플립플롭 FF의 갯수를 조정하게 된다.
- <139> 도 20은 도 16의 프로그램 레지스터 제어부(340)의 상세 회로도이다.
- <140> 프로그램 레지스터 제어부(340)는 n번째 명령신호 n_CMD와 입력 데이터 DQ_n를 앤드연산하는 앤드게이트 AD4를 구비한다. 인버터 IV8~IV10는 앤드게이트 AD4의 출력신호를 반전 지연 한다.
- <141> 노아게이트 NOR2는 앤드게이트 AD4의 출력신호와 인버터 IV10의 출력신호를 노아연산한다. 인버터 IV11, IV12는 노아게이트 NOR2의 출력신호를 지연하여 라이트 제어 신호 ENW를 출력한다.
- <142> 노아게이트 NOR3는 노아게이트 NOR2의 출력신호와 파워 업 검출신호 PUP를 노아연산하여 출력한다. 인버터 IV13~IV15는 노아게이트 NOR3의 출력신호를 비반전 지연하여 셀 플레이트 신호 CPL를 출력한다.
- <143> 여기서, 파워 업 검출신호 PUP는 초기의 리셋시 레지스터에 저장된 데이터를 리드한 이후에 다시 레지스터를 셋트하기 위한 제어신호이다.

- <144> n번째 명령신호 n_CMD가 하이로 활성화 된 이후 입력패드를 이용하여 입력 데이터 DQ_n를 토클시키면, 지연부(341)의 지연 시간 만큼의 펄스폭을 갖는 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 발생한다.
- <145> 도 21은 도 16의 프로그램 레지스터 어레이(360)에 관한 상세 회로도이다.
- <146> 프로그램 레지스터 어레이(360)는 풀업 구동소자 P1와, 구동부(361)와, 라이트 인에이블 제어부(362)와, 강유전체 캐패시터부(363)와, 구동부(364) 및 풀다운 구동소자 N5를 구비한다.
- <147> 여기서, 풀업 구동소자 P1은 전원전압 VCC 인가단과 구동부(361) 사이에 연결되어 게이트 단자를 통해 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P1를 구비한다.
- <148> 구동부(361)는 래치 구조의 PMOS트랜지스터 P2,P3을 구비한다. PMOS트랜지스터 P2의 게이트는 PMOS트랜지스터 P3의 드레인 단자와 연결되고, PMOS트랜지스터 P3의 게이트는 PMOS트랜지스터 P2의 드레인 단자와 연결된다.
- <149> 라이트 인에이블 제어부(362)는 NMOS트랜지스터 N1,N2를 구비한다. NMOS트랜지스터 N1은 리셋신호 RESET 입력단과 PMOS트랜지스터 P2의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다. NMOS트랜지스터 N2는 세트 신호 SET와 PMOS트랜지스터 P3의 드레인 단자 사이에 연결되어 게이트 단자를 통해 라이트 제어 신호 ENW가 인가된다.
- <150> 강유전체 캐패시터부(363)는 강유전체 캐패시터 FC1~FC4를 구비한다. 강유전체 캐패시터 FC1는 일단이 노드 CN1과 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

강유전체 캐패시터 FC2는 일단이 노드 CN2와 연결되고 다른 일단을 통해 셀 플레이트 신호 CPL가 인가된다.

<151> 그리고, 강유전체 캐패시터 FC3은 노드 CN1과 접지전압단 사이에 연결되고, 강유전체 캐패시터 FC4는 노드 CN2와 접지전압단 사이에 연결된다. 여기서, 강유전체 캐패시터 FC3,FC4는 셀 양단의 로딩 레벨 제어에 따라 선택적으로 추가되어 사용될 수도 있다.

<152> 또한, 구동부(364)는 래치 구조의 NMOS트랜지스터 N3,N4를 구비한다. NMOS트랜지스터 N3은 노드 CN1과 NMOS트랜지스터 N5의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N4의 드레인 단자와 연결된다. 그리고, NMOS트랜지스터 N4는 노드 CN2와 NMOS트랜지스터 N5의 드레인 단자 사이에 연결되어 게이트 단자가 NMOS트랜지스터 N3의 드레인 단자와 연결된다.

<153> 풀다운 구동소자 N5는 MOS트랜지스터 N3 및 NMOS트랜지스터 N4의 공통 소스 단자와 접지전압 VSS 인가단 사이에 연결되어 게이트를 통해 풀다운 인에이블 신호 ENN가 인가된다.

<154> 또한, 프로그램 레지스터 어레이(360)는 출력단을 통해 제어신호 RE_m, RE_m를 출력한다.

<155> 한편, 도 22는 본 발명의 전원 투입시에 프로그램 셀에 저장된 데이터를 센싱하여 리드하는 동작 타이밍도이다.

<156> 먼저, 파워 업 이후 T1구간에서 전원이 안정된 전원전압 VCC 레벨에 도달하면 리셋신호 RESET가 디스에이블되고, 파워 업 검출신호 PUP가 인에이블된다.

<157> 이후에, 파워 업 검출신호 PUP의 인에이블에 따라 셀 플레이트 신호 CPL가 하이로 천이 한다. 이때, 프로그램 레지스터 어레이(360)의 강유전체 캐패시터 FC1,FC2에 저장된 전하가

강유전체 캐패시터 FC3,FC4의 캐패시턴스 로드에 의해 셀 양단 노드 즉, CN1과 CN2에 전압차를 발생시킨다.

<158> 셀 양단 노드에 충분히 전압차가 발생하는 T2구간에 진입하면 풀다운 인에이블 신호 ENN 가 하이로 인에이블되고, 풀업 인에이블 신호 ENP로 로우로 디스에이블되어 셀 양단의 데이터를 증폭하게 된다.

<159> 이후에, T3구간에 진입하여 셀 양단의 데이터 증폭이 완료되면, 파워 업 검출신호 PUP 및 셀 플레이트 신호 CPL를 다시 로우로 천이시킨다. 따라서, 파괴되었던 강유전체 캐패시터 FC1 또는 강유전체 캐패시터 FC2의 하이 데이터를 다시 복구하게 된다. 이때, 라이트 제어 신호 ENW는 로우 상태를 유지하여 외부 데이터가 다시 라이트되는 것을 방지한다.

<160> 도 23은 본 발명의 프로그램 동작시 n번째 명령신호 n_CMD가 하이로 활성화된 이후에 프로그램 레지스터에 새로운 데이터를 셋트하기 위한 동작 타이밍도를 나타낸다.

<161> 먼저, n번째 명령신호 n_CMD가 하이로 인에이블된 후 일정시간이 지나면, 셋트 신호 SET, 리셋신호 RESET가 입력된다. 그리고, 데이터 입/출력 패드로부터 인가되는 입력 데이터 DQ_n가 하이에서 로우로 디스에이블되면 프로그램 사이클이 시작되어 레지스터에 새로운 데이터를 라이트하기 위한 라이트 제어 신호 ENW 및 셀 플레이트 신호 CPL가 하이로 천이한다.

<162> 이때, 풀다운 인에이블 신호 ENN는 하이 상태를 유지하고, 풀업 인에이블 신호 ENP는 로우 상태를 유지한다.

<163> 따라서, 프로그램 레지스터 제어부(340)에 n번째 명령 신호 n_CMD가 하이로 입력될 경우 프로그램 명령 처리부(330)로부터의 신호유입이 차단되어, 더이상 제어 명령이 입력되지 않는 상태에서 프로그램 동작을 수행할 수 있게 된다.

【발명의 효과】

<164> 이상에서 설명한 바와 같이, 본 발명은 직렬 버스를 통한 데이터 교환시 어드레스별로 엑세스 시간을 상이하게 제어하여 시스템 퍼포먼스를 향상시킬 수 있도록 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

복수개의 셀 어레이 블럭으로부터 인가되는 데이터를 증폭 및 저장하는 센스앰프

버퍼부;

상기 복수개의 셀 어레이 블럭과 상기 센스앰프 버퍼부 사이에서 상호 데이터를 교환하기 위한 데이터 버스부;

상기 데이터 버스부에 입/출력되는 데이터를 버퍼링하는 데이터 입/출력 버퍼부;

상기 데이터 입/출력 버퍼부로부터 인가되는 병렬 데이터와, 직렬 클럭신호에 대응하여 입력되는 직렬 데이터를 상호 변환하는 병렬/직렬 송수신 제어부; 및

라이트 보호 명령의 설정시 상기 복수개의 셀 어레이 블럭의 해당 섹터에 데이터가 라이트 되는 것을 차단하는 라이트 보호 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 2】

제 1항에 있어서, 상기 병렬/직렬 송수신 제어부는

버스트 모드로 연속적인 어드레스/데이터가 송수신될 때 해당 어드레스를 카운트하여 증가시키는 카운터; 및

상기 직렬 데이터 및 상기 병렬 데이터를 상호 변환하는 병렬/직렬 변환부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 3】

직렬 클럭신호에 대응하여 직렬 데이터/어드레스를 직렬 버스로 출력하는 마스터;

상기 직렬 버스를 통해 수신되는 상기 직렬 클럭신호 및 직렬 데이터/어드레스에 따라 메모리의 리드/라이트 동작을 제어하는 FRAM칩; 및

상기 마스터와 상기 FRAM칩 사이에서 어드레스별 엑세스 레이턴시 시간을 제어하기 위한 코드를 프로그램하고, 상기 프로그램된 코드에 따라 상기 직렬 클럭신호의 응답 사이클을 제어하는 메모리 컨트롤러를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 4】

제 3항에 있어서, 상기 메모리 컨트롤러는
불휘발성 강유전체 메모리를 이용하여 상기 어드레스별 엑세스 레이턴시 시간 제어를 위한 코드를 프로그램하는 불휘발성 레이턴시 프로그램 레지스터; 및
상기 불휘발성 레이턴시 프로그램 레지스터에서 프로그램된 코드에 따라 상기 직렬 버스 와의 인터페이스 수행시 상기 응답 사이클을 제어하기 위한 제어신호를 출력하는 레이턴시 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 5】

제 4항에 있어서, 상기 불휘발성 레이턴시 프로그램 레지스터는
라이트 인에이블 신호와, 칩 인에이블 신호와, 출력 인에이블 신호 및 리셋신호에 따라 프로그램 명령을 코딩하기 위한 명령신호를 출력하는 프로그램 명령 처리부;
상기 명령신호, 입력 데이터 및 파워 업 검출신호를 논리연산하여 라이트 제어 신호 및 셀 플레이트 신호를 출력하는 프로그램 레지스터 제어부; 및

불휘발성 강유전체 메모리 소자를 구비하고, 상기 라이트 제어 신호, 상기 셀 플레이트 신호, 풀업 인에이블 신호 및 풀다운 인에이블 신호에 따라 프로그램된 코드 신호를 출력하는 프로그램 레지스터 어레이를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 6】

제 5항에 있어서, 상기 불휘발성 레이턴시 프로그램 레지스터는
파워 업시 상기 리셋신호를 상기 프로그램 레지스터 제어부에 출력하는 리셋 회로부를
더 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 7】

제 5항에 있어서, 상기 프로그램 명령 처리부는
상기 라이트 인에이블 신호, 상기 칩 인에이블 신호, 상기 출력 인에이블 신호 및 상기
리셋신호를 논리연산하는 논리부;

상기 논리부의 출력신호에 대응하여 상기 출력 인에이블 신호의 토클을 순차적으로 플립
플롭시켜 상기 명령신호를 출력하는 플립플롭부; 및
상기 출력 인에이블 신호의 오버 토클을 감지하는 오버 토클 감지부를 구비함을 특징으
로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 8】

제 7항에 있어서,
상기 논리부는 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호가 로우인 상태에서
상기 출력 인에이블 신호가 출력되고, 상기 칩 인에이블 신호 및 상기 라이트 인에이블 신호

중 적어도 어느 하나가 하이로 천이하면 상기 리셋신호가 인에이블 됨을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 9】

제 7항 또는 제 8항에 있어서, 상기 논리부는
상기 라이트 인에이블 신호와 상기 칩 인에이블 신호를 노아 연산하는 제 1노아게이트;
상기 제 1노아게이트의 출력신호와 상기 출력 인에이블 신호를 앤드연산하는 제 1앤드게이트;

상기 제 1노아게이트의 출력신호, 반전된 상기 리셋신호 및 상기 오버 토글 감지부의 출력신호를 앤드연산하는 제 2앤드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 10】

제 7항에 있어서, 상기 플립플롭부는 복수개의 플립플롭을 구비하고,
상기 복수개의 플립플롭은 데이터 입력 노드와 출력 노드가 서로 직렬 연결되어 출력단을 통해 상기 명령 신호가 출력되고, 상기 논리부로부터 인가되는 활성화 동기 신호에 따라 상기 출력 인에이블 신호의 토글을 플립플롭시킴을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 11】

제 10항에 있어서, 상기 복수개의 플립플롭은
상기 활성화 동기 신호의 상태에 따라 입력 신호를 선택적으로 출력하는 제 1전송게이트;

상기 제 1전송게이트의 출력신호 및 상기 리셋신호를 낸드연산하는 제 1낸드게이트;

상기 활성화 동기 신호의 상태에 따라 제 1낸드게이트의 출력신호를 선택적으로 출력하는 제 2전송게이트;

상기 활성화 동기 신호의 상태에 따라 반전된 상기 제 1전송게이트의 출력신호를 선택적으로 출력하는 제 3전송게이트;

상기 제 3전송게이트의 출력신호와 상기 리셋신호를 낸드연산하는 제 2낸드게이트;

상기 활성화 동기 신호의 상태에 따라 상기 제 2낸드게이트의 출력신호를 선택적으로 출력하는 제 4전송게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 12】

제 7항에 있어서, 상기 오버 토글 감지부는

상기 명령신호 및 상기 출력 인에이블 신호를 낸드연산하는 제 3낸드게이트를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 13】

제 5항에 있어서, 상기 프로그램 레지스터 제어부는

상기 명령신호 및 상기 입력 데이터를 앤드연산하는 제 3엔드게이트;

상기 제 3엔드게이트의 출력을 비반전 지연하는 제 1지연부;

상기 제 3엔드게이트의 출력신호와 상기 제 1지연부의 출력신호를 노아연산하는 제 2노아게이트;

상기 제 2노아게이트의 출력을 지연하여 상기 라이트 제어 신호를 출력하는 제 2지연부;

상기 제 2노아게이트의 출력신호와 상기 파워 업 검출신호를 노아연산하는 제 3노아게이트; 및

상기 제 3노아게이트의 출력신호를 반전 지연하여 상기 셀 플레이트 신호를 출력하는 제 3지연부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 14】

제 5항에 있어서, 상기 프로그램 레지스터 어레이는

상기 풀업 인에이블 신호의 인에이블시 전원전압을 풀업시키는 풀업 구동소자;
프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀업 구동소자로부터
인가되는 전압을 구동하는 제 1구동부;

상기 라이트 제어 신호에 따라 상기 리셋신호 및 셋트 신호를 상기 프로그램 레지스터
의 양단에 출력하는 라이트 인에이블 제어부;

상기 셀 플레이트 신호에 따라 상기 프로그램 레지스터의 양단에 전압 차를 발생시키는
강유전체 캐패시터부;

상기 풀다운 인에이블 신호의 인에이블시 접지전압을 풀다운시키는 풀다운 구동소자;
및

상기 프로그램 레지스터의 양단에 크로스 커플드 구조로 연결되어 상기 풀다운 구동소자
로부터 인가되는 전압을 구동하는 제 2구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메
모리를 이용한 직렬 버스 제어 장치.

【청구항 15】

제 3항에 있어서, 상기 메모리 컨트롤러는

상기 메모리 컨트롤러에 컬럼 어드레스 및 로오 어드레스를 제공하는 시스템 제어부;

상기 메모리 컨트롤러와 상기 시스템 제어부 사이에서 상호 데이터, 제어신호 및 어드레스를 교환하기 위한 PCI버스; 및

상기 시스템 제어부를 제어하기 위한 중앙 제어 장치를 더 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 16】

제 3항에 있어서, 상기 FRAM칩은

복수개의 셀 어레이 블럭으로부터 인가되는 데이터를 증폭 및 저장하는 센스앰프
버퍼부;

상기 복수개의 셀 어레이 블럭과 상기 센스앰프 버퍼부 사이에서 상호 데이터를 교환하
기 위한 데이터 버스부;

상기 데이터 버스부에 입/출력되는 데이터를 버퍼링하는 데이터 입/출력 버퍼부;

상기 데이터 입/출력 버퍼부로부터 인가되는 병렬 데이터와, 직렬 클럭신호에 대응하여
입력되는 직렬 데이터를 상호 변환하는 병렬/직렬 송수신 제어부; 및

라이트 보호 명령의 설정시 상기 복수개의 셀 어레이 블럭의 해당 섹터에 데이터가 라이
트 되는 것을 차단하는 라이트 보호 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모
리를 이용한 직렬 버스 제어 장치.

【청구항 17】

제 16항에 있어서, 상기 병렬/직렬 송수신 제어부는
버스트 모드로 연속적인 어드레스/데이터가 송수신될 때 해당 어드레스를 카운트하여 증
가시키는 카운터; 및

상기 직렬 데이터 및 상기 병렬 데이터를 상호 변환하는 병렬/직렬 변환부를 구비함을
특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 18】

어드레스별 엑세스 레이턴시 시간을 제어하기 위한 코드를 프로그램하고, 직렬 버스를
통해 수신되는 직렬 클럭신호에 따라 직렬 데이터/어드레스의 송수신시 상기 직렬 데이터/어드
레스의 송수신 완료를 확인하는 응답신호를 출력하는 메모리 컨트롤러; 및
상기 응답신호의 폴스 구간동안 메모리의 리드/라이트 동작을 수행하는 FRAM칩을 구비
하고,

상기 메모리 컨트롤러는
로 오 어드레스의 송수신시 상기 응답신호의 폴스 구간을 제 1사이클로 제어하고, 컬럼
어드레스의 송수신시 상기 응답신호의 폴스 구간을 상기 제 1사이클 보다 짧은 제 2사이클로
제어함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 19】

제 18항에 있어서, 상기 메모리 컨트롤러는
상기 FRAM칩의 재저장 구간에서는 상기 응답신호의 폴스 구간을 제 1사이클로 제어함을
특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 20】

제 18항에 있어서, 상기 FRAM칩은

복수개의 셀 어레이 블럭으로부터 인가되는 데이터를 증폭 및 저장하는 센스앰프 버퍼부;

상기 복수개의 셀 어레이 블럭과 상기 센스앰프 버퍼부 사이에서 상호 데이터를 교환하기 위한 데이터 버스부;

상기 데이터 버스부에 입/출력되는 데이터를 버퍼링하는 데이터 입/출력 버퍼부;

상기 데이터 입/출력 버퍼부로부터 인가되는 병렬 데이터와, 직렬 클럭신호에 대응하여 입력되는 직렬 데이터를 상호 변환하는 병렬/직렬 송수신 제어부; 및

라이트 보호 명령의 설정시 상기 복수개의 셀 어레이 블럭의 해당 섹터에 데이터가 라이트 되는 것을 차단하는 라이트 보호 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【청구항 21】

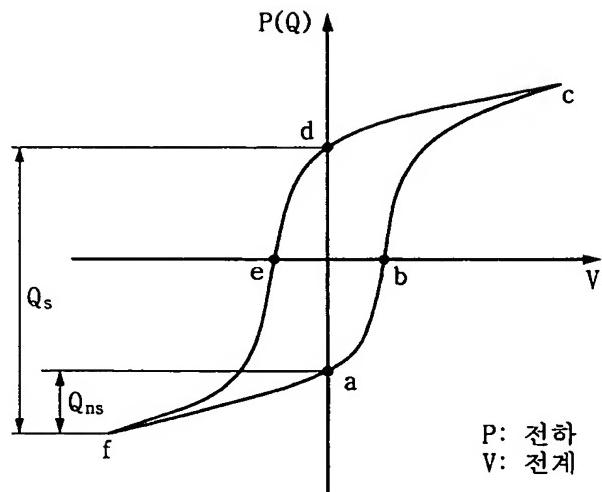
제 20항에 있어서, 상기 병렬/직렬 송수신 제어부는

버스트 모드로 연속적인 어드레스/데이터가 송수신될때 해당 어드레스를 카운트하여 증가시키는 카운터; 및

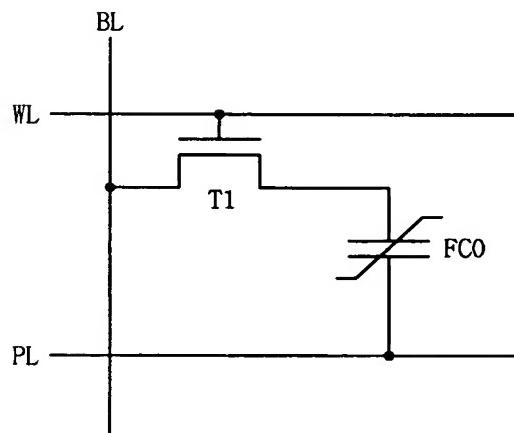
상기 직렬 데이터 및 상기 병렬 데이터를 상호 변환하는 병렬/직렬 변환부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리를 이용한 직렬 버스 제어 장치.

【도면】

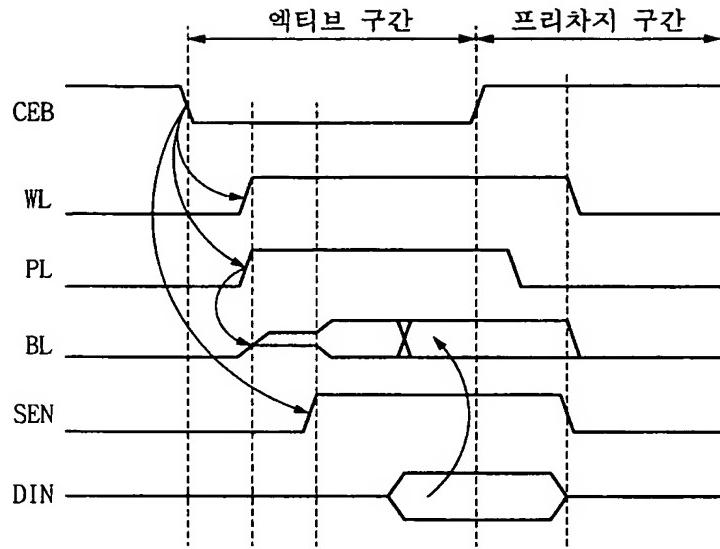
【도 1】



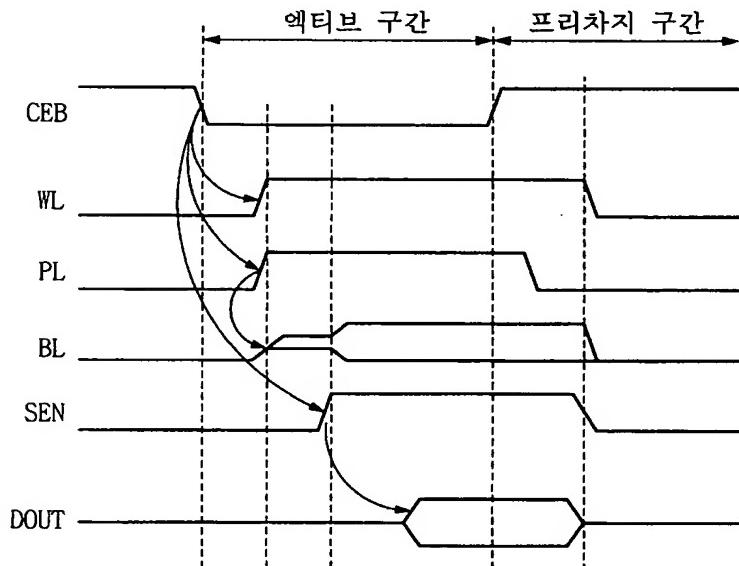
【도 2】



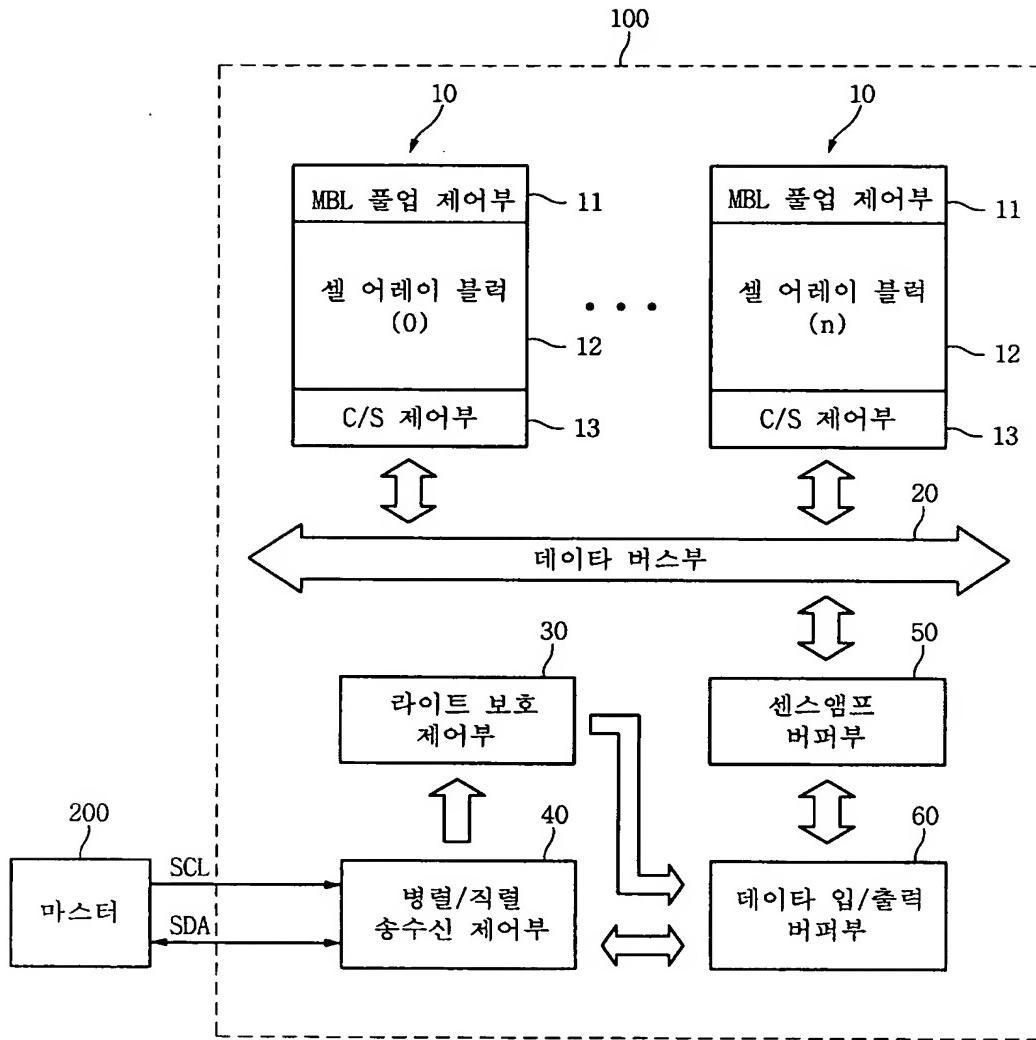
【도 3a】



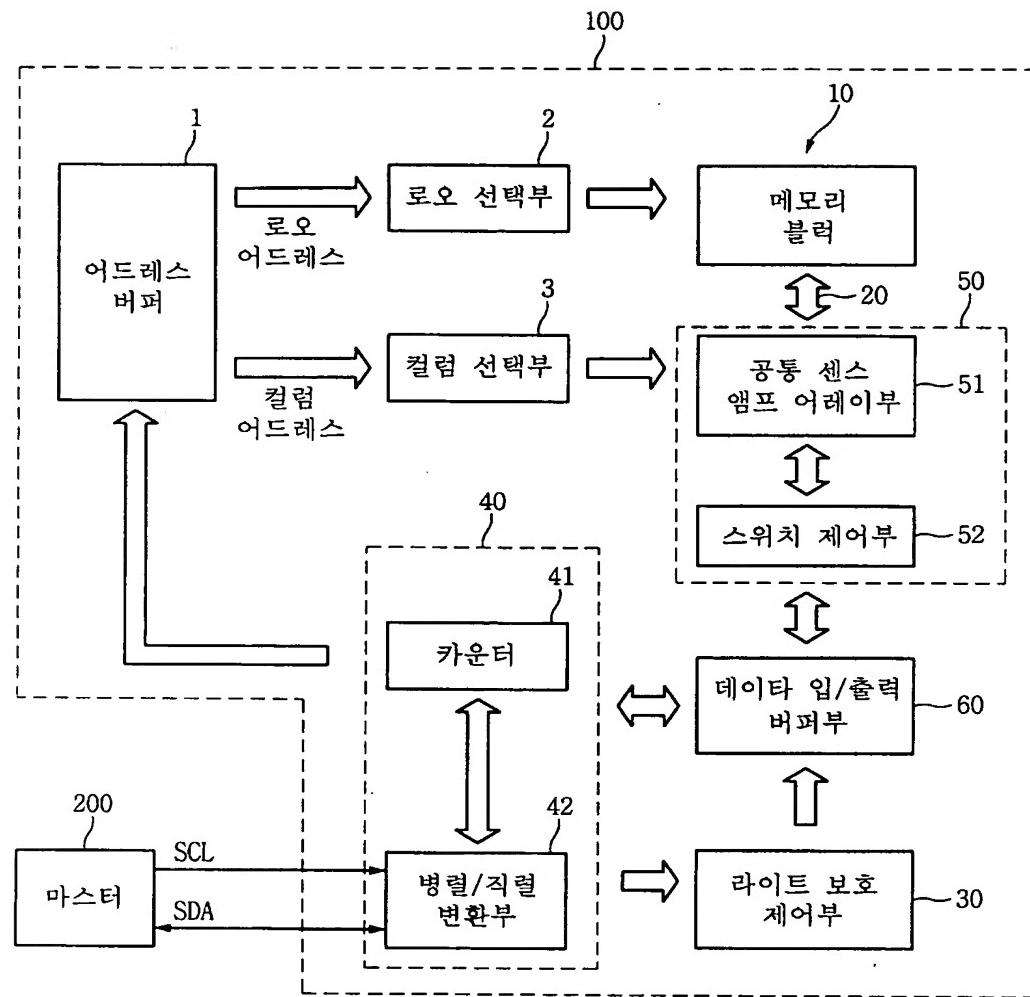
【도 3b】



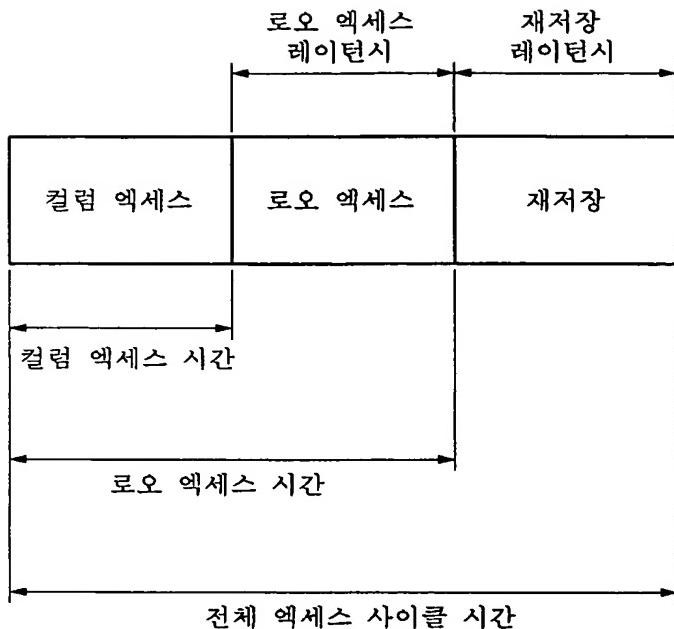
【도 4】



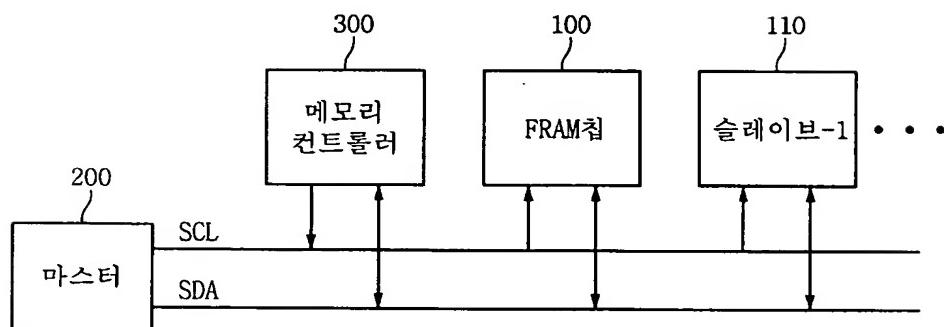
【도 5】



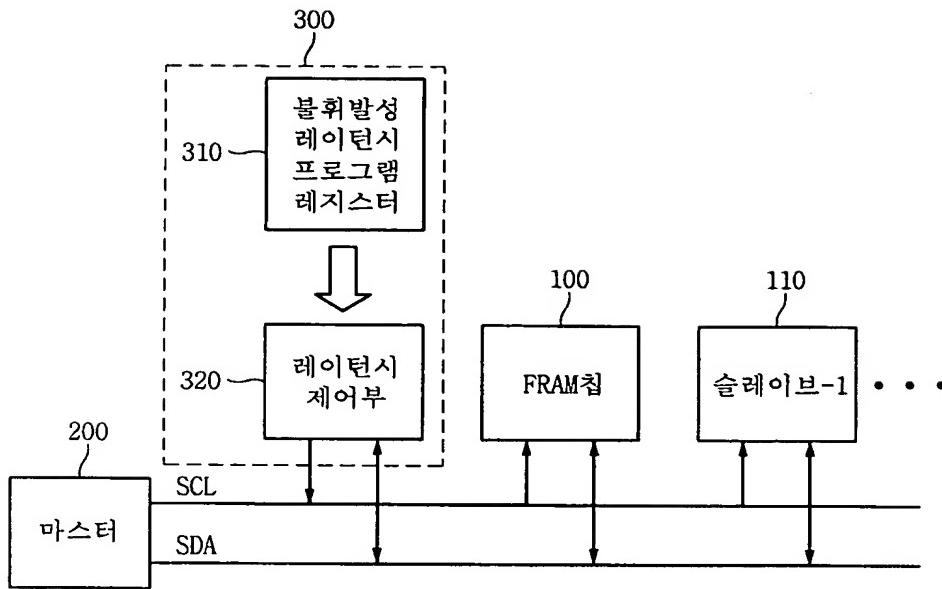
【도 6】



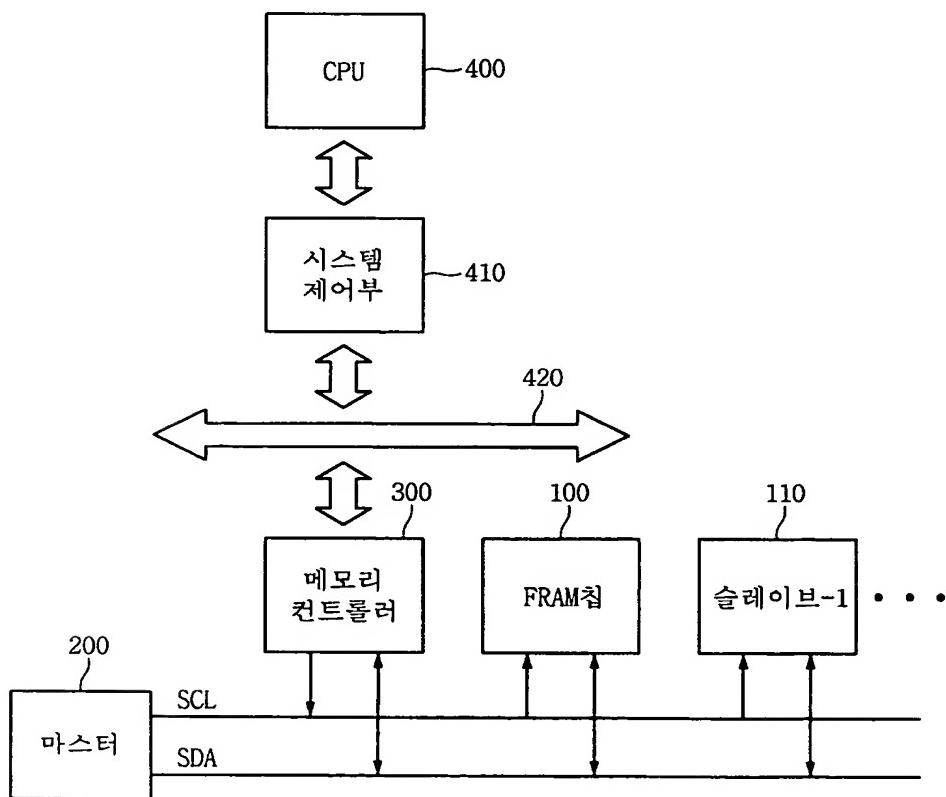
【도 7】



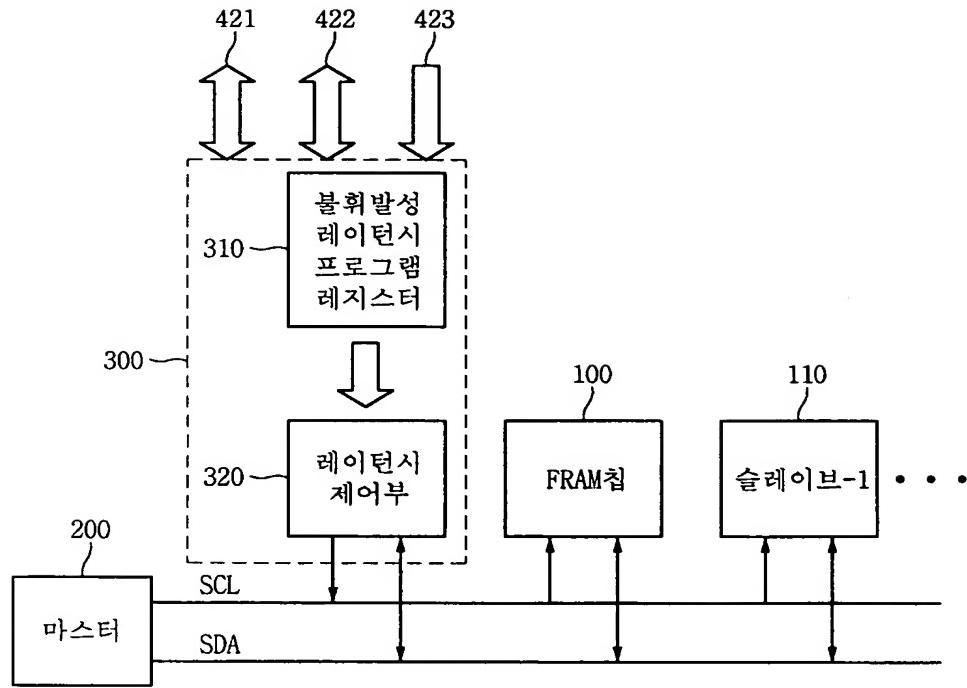
【도 8】



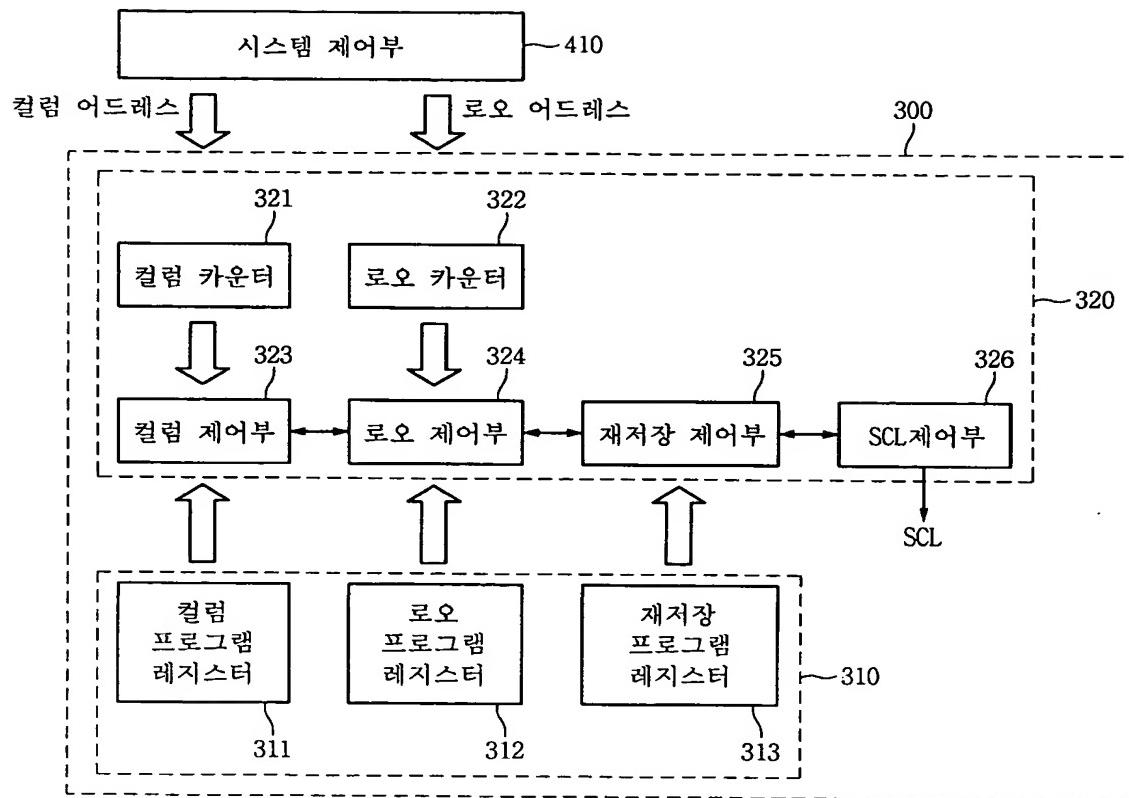
【도 9】



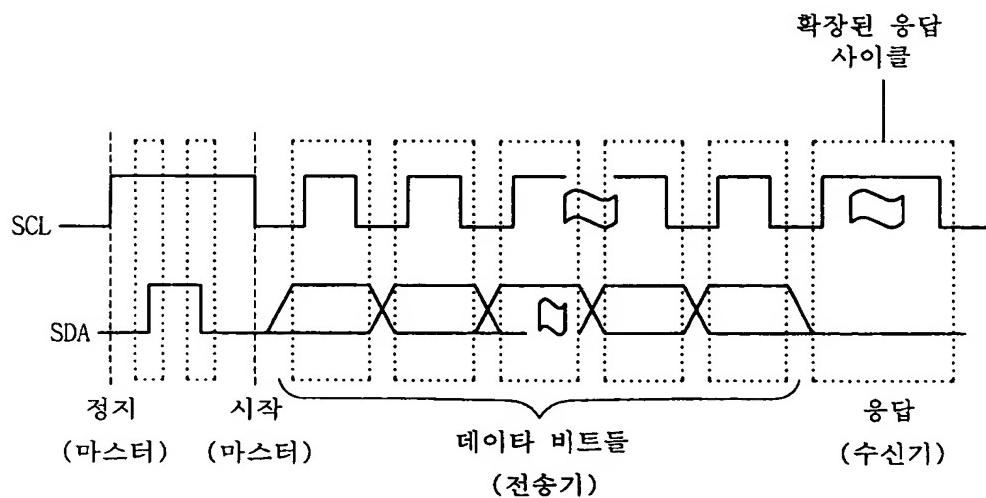
【도 10】



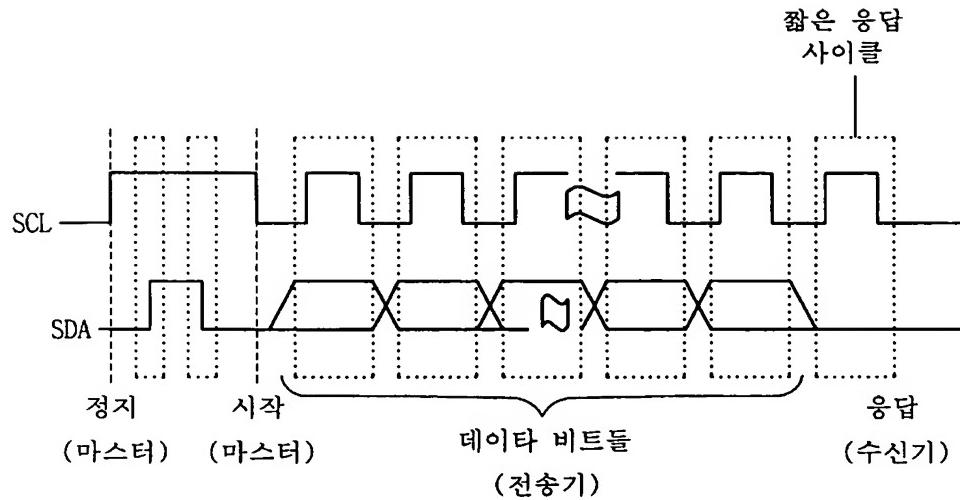
【도 11】



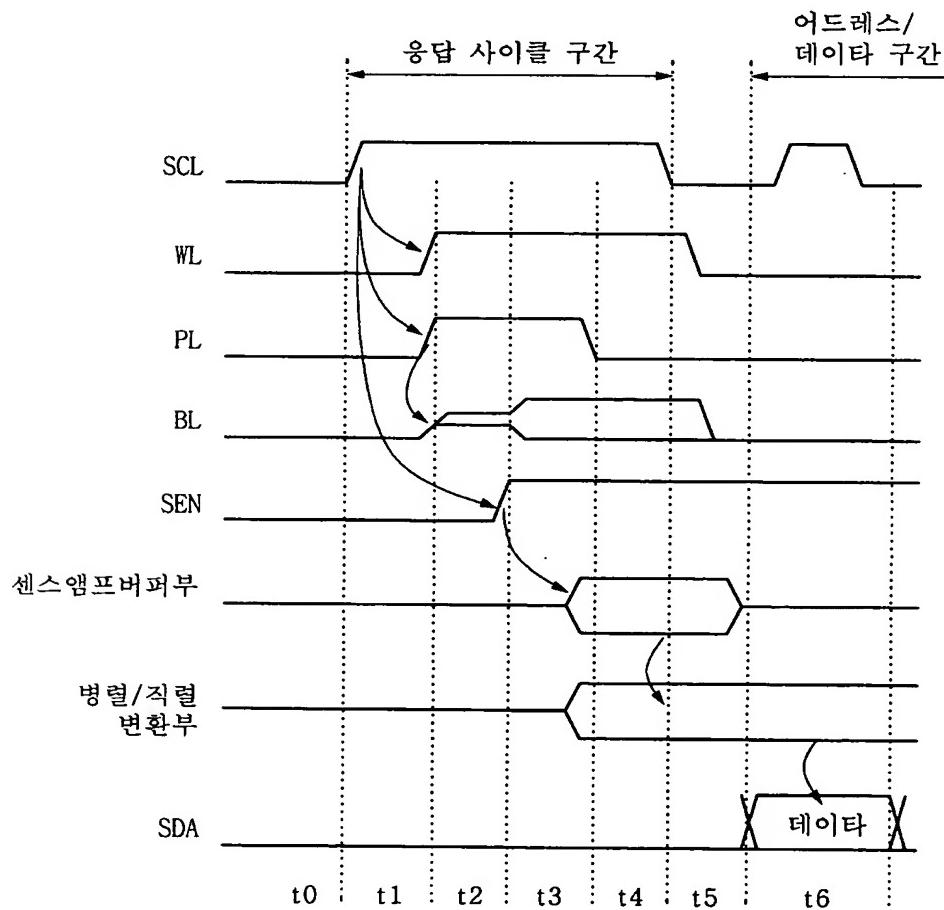
【도 12】



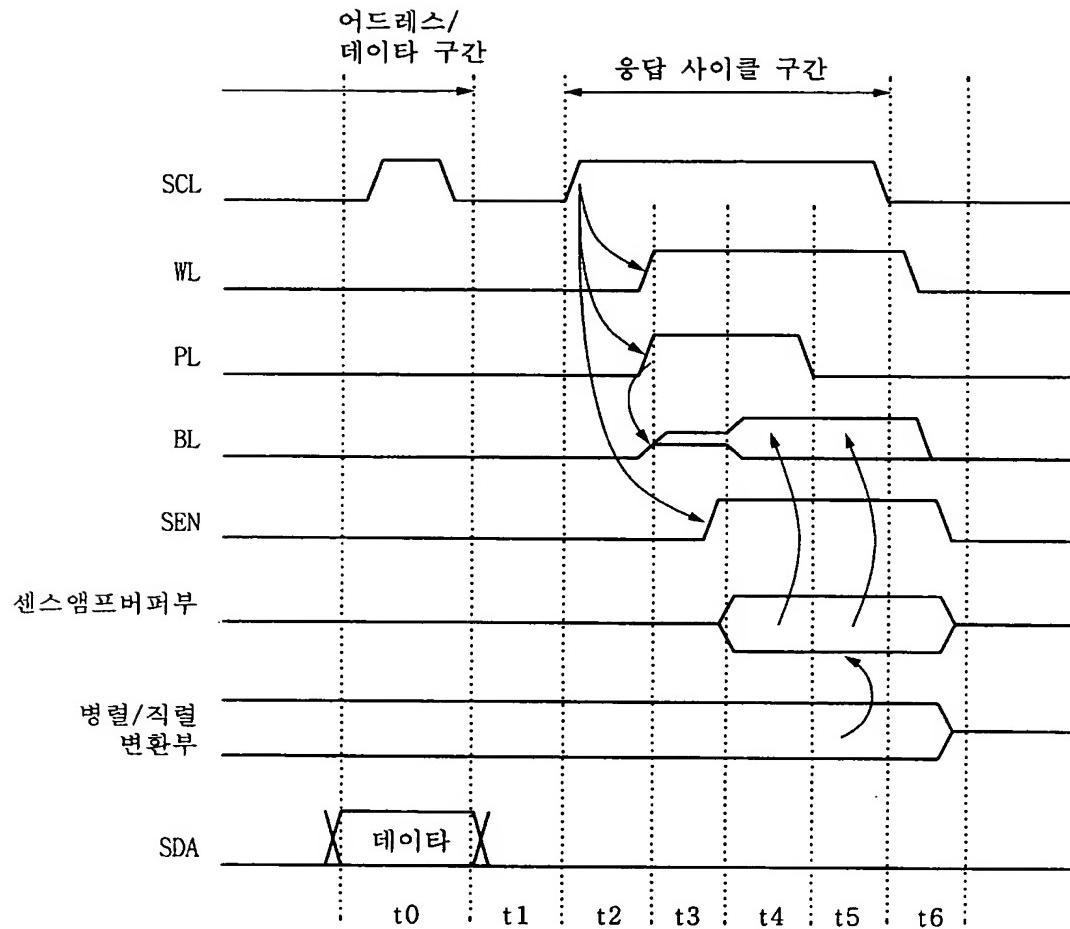
【도 13】



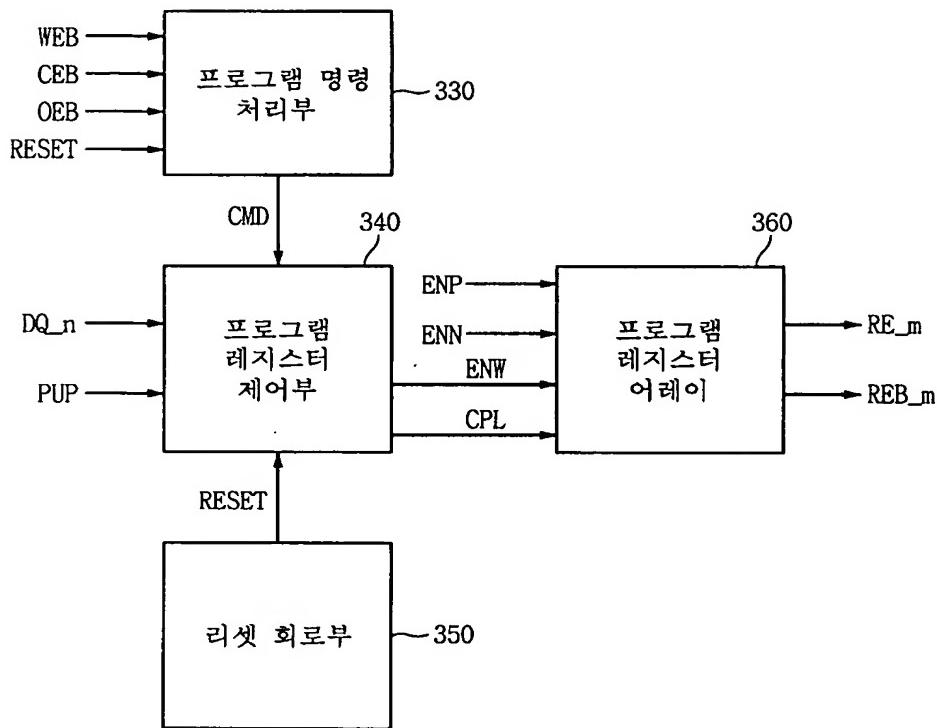
【도 14】



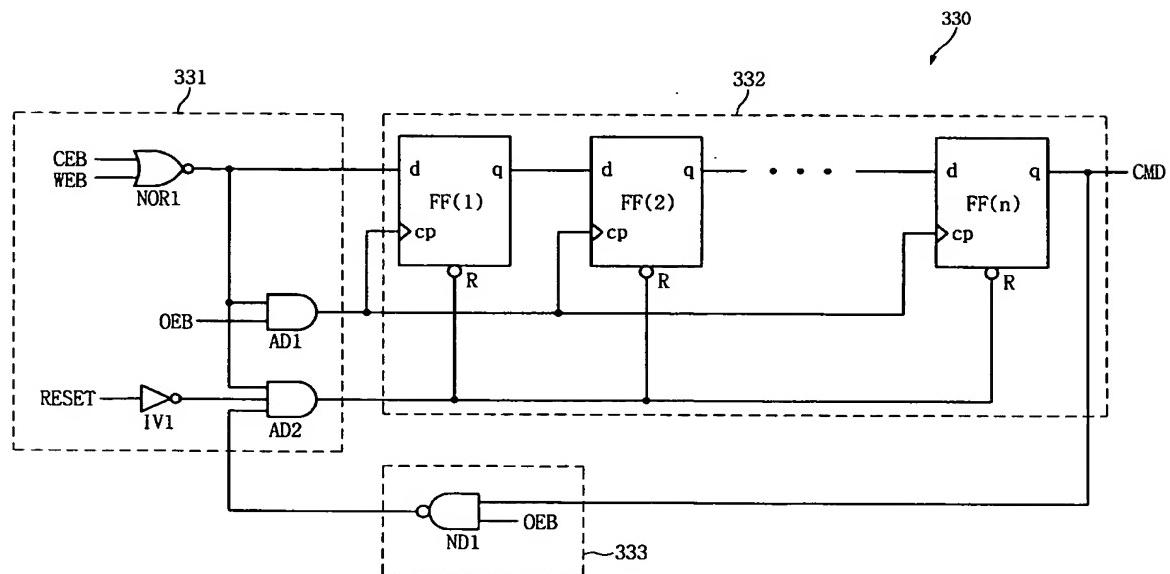
【도 15】



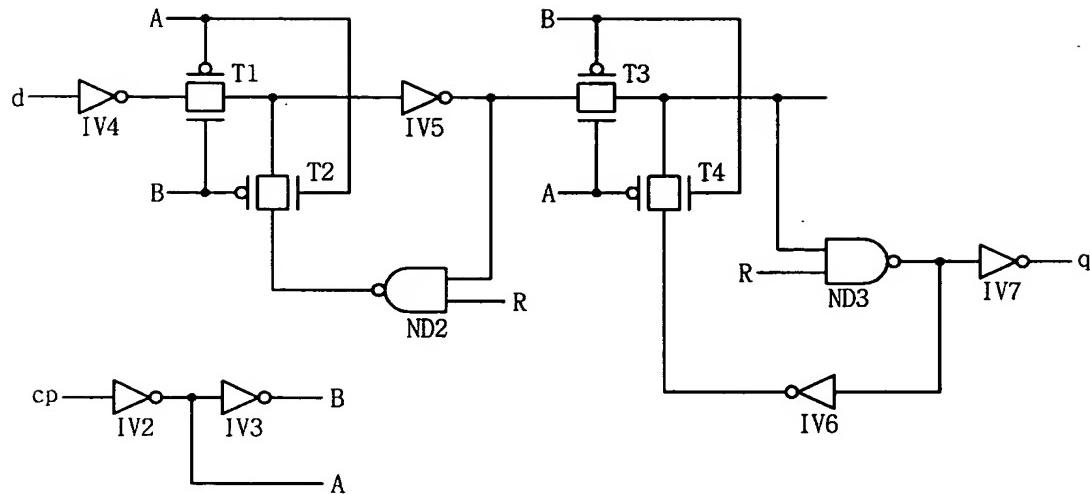
【도 16】



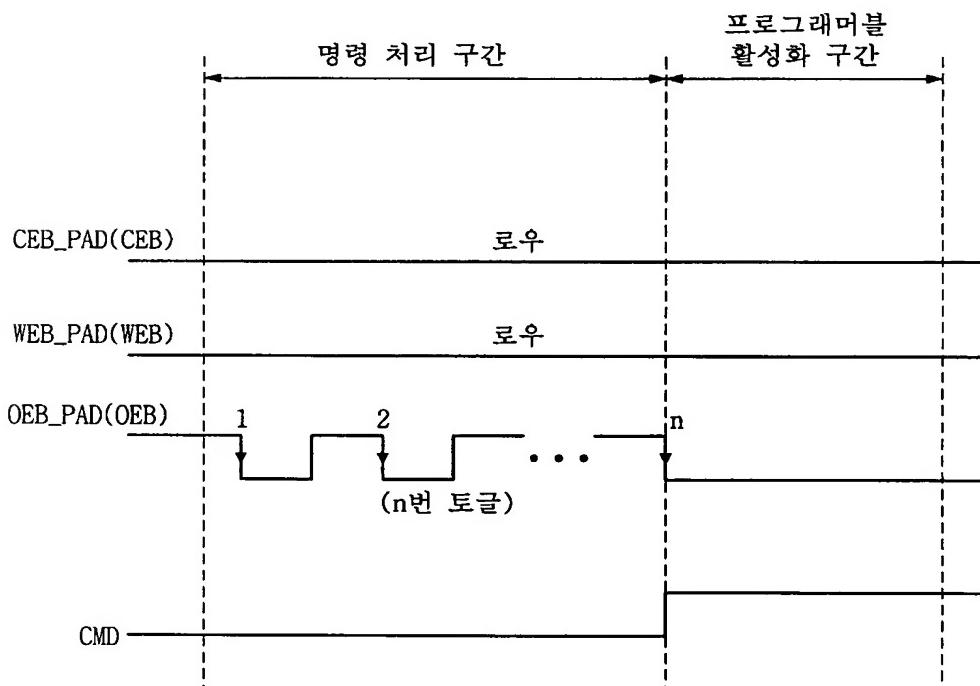
【도 17】



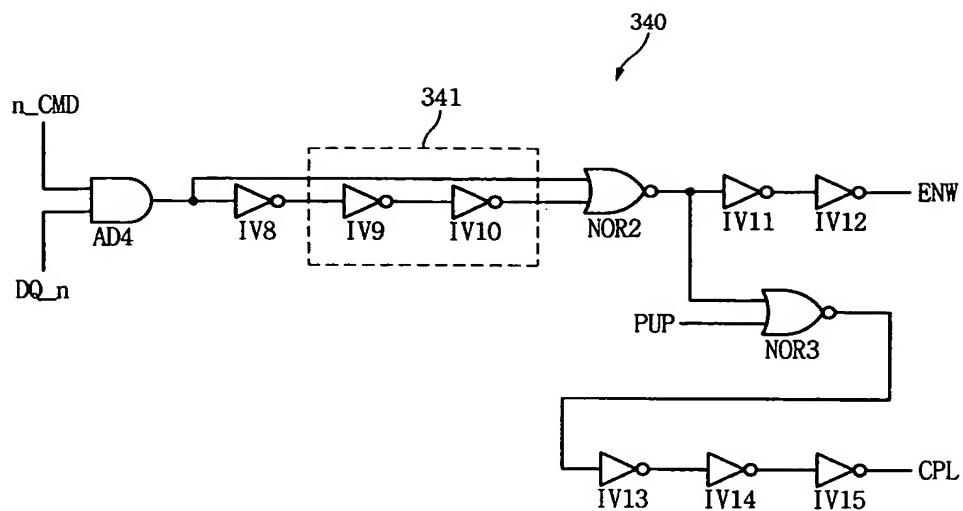
【도 18】



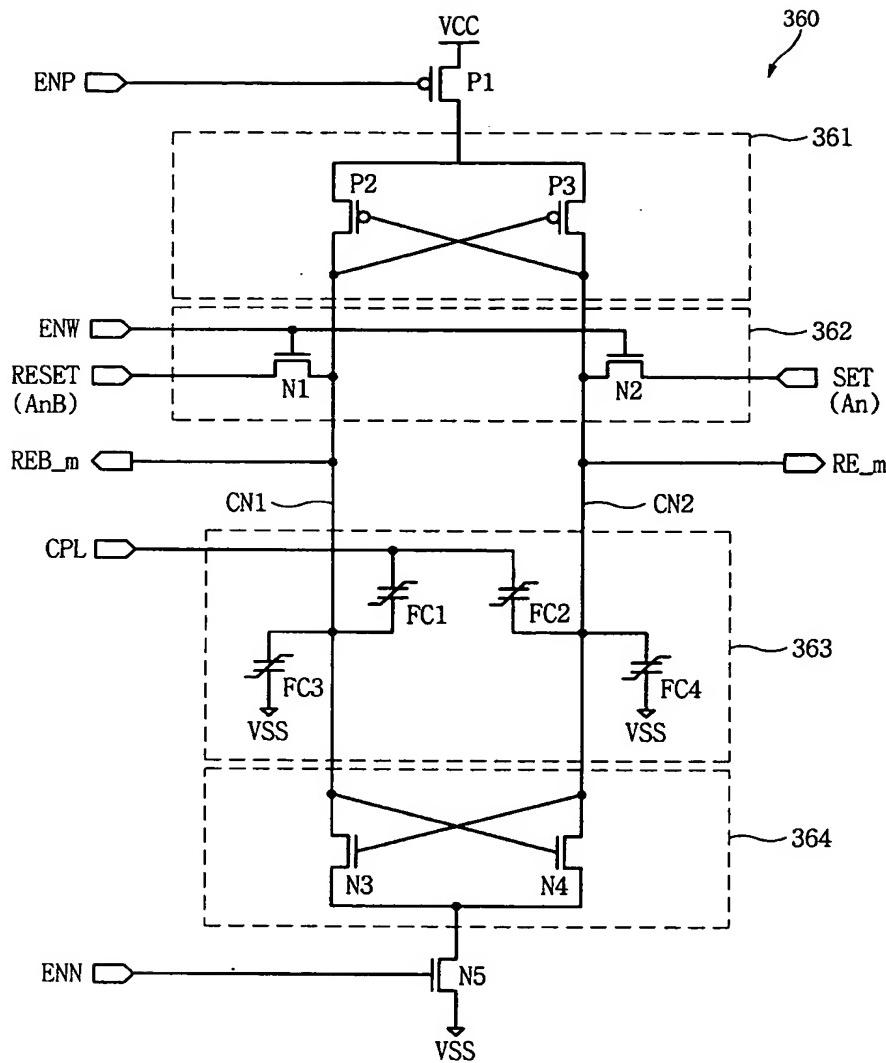
【도 19】



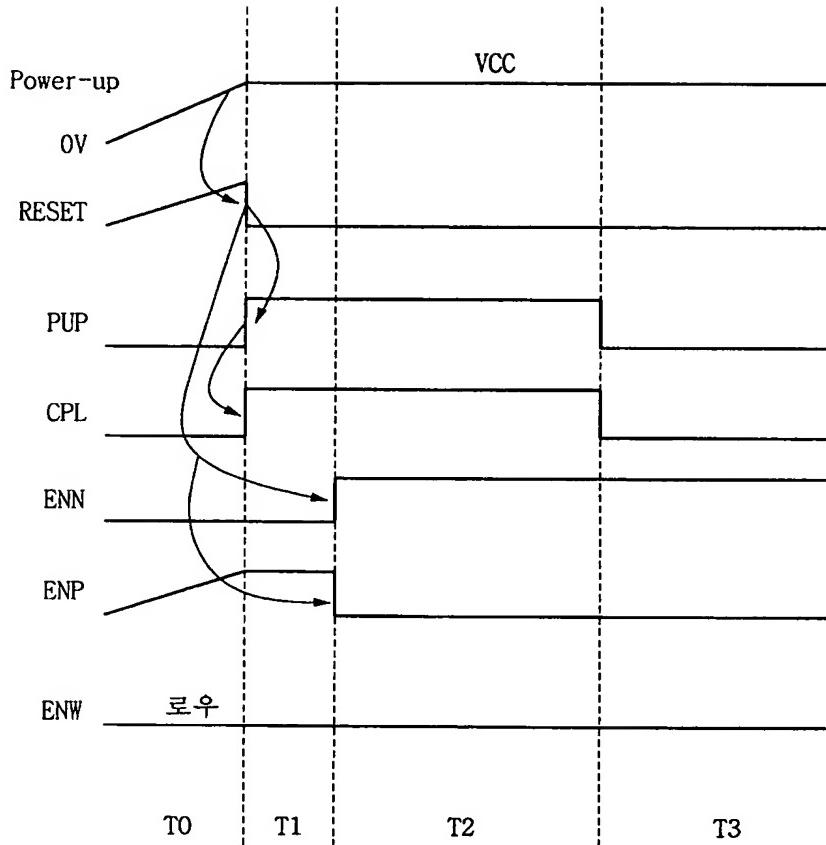
【도 20】



【도 21】



【도 22】



【도 23】

